

(19) Korean Intellectual Property Office

(12) Patent Application Publication (A)

(11) Publication No.: 10-2003-0001880

(43) Date of publication: January 8, 2003

(21) Application No.: 10-2001-0037740

(22) Date of filing: June 28, 2001

(54) Title of the Invention: Semiconductor Wafer

[Technical Object to be Solved by the Invention]

In the prior art, when the scribing line area is sawn, the stress occurs in the region where the scribing line areas cross each other. As a result, the stress is transmitted to the chip area, causing the chip cracks. Therefore, the object of the present invention is to provide a solution to the problem that has plagued the prior art by devising a semiconductor wafer in which the chip cracks can be prevented when each unit of chips are sawn.

[Construction and Operation of the Invention]

In order to realize the above described object, the present invention provides a semiconductor wafer comprising: plural chip areas where semiconductor elements

are to be formed, plural scribing line areas formed in between the chip areas, and grooves that are formed in the regions where the scribing lines cross each other in order to prevent cracks.

The groove is in the shape of a cross, and 200 by 200  $\mu\text{m}$  in size.

The depth of the groove is 4 to 5  $\mu\text{m}$ , measured from the surface of the scribing line area.

The stress from the scribing line area during the sawing process is blocked by the groove, which thus prevent the chip cracks.

A preferred embodiment of the present invention will be explained below in detail with reference to the attached drawings.

FIG. 3 is a plan view of a semiconductor wafer of the present invention.

The semiconductor wafer of the present invention, with reference to FIG. 3, includes plural chip areas (110) where semiconductor elements are formed, plural scribing line areas (120) formed in between the chip areas, and the grooves (130) formed in regions where the scribing line areas (120) cross each other to prevent the crack.

The semiconductor wafer after the element production process is divided into individual chip areas (110) with

plural pads (not shown); each chip area (110) then forms an individual semiconductor element or IC when the same pattern is completed on the surface of the wafer.

The chip area is surrounded by the scribing line area that is sawn to segment the wafer into individual chip areas (110).

The groove (130) is formed to prevent the cracks in the area where the scribing line areas (120) cross each other.

FIG. 4 is a cross-sectional view that shows the semiconductor wafer cut along the line III-IV in FIG. 3.

A description of the semiconductor wafer according to the present invention will be given in detail below, with reference to the cross-sectional view in FIG. 4.

The semiconductor wafer (200) includes a separated layer (112) of BPSG material that covers and protects the chip area (110), and the scribing line area (120) surrounds the chip area (110).

The scribing line area (120) has a width of approximately 100  $\mu\text{m}$ .

The groove (130), with reference to the FIGS. 3 and 4, is in the shape of a cross, and is patterned to the size of 200  $\mu\text{m}$  by 200  $\mu\text{m}$  or larger.

That is to say, in the present invention the groove

(130) is formed in a size larger than the scribing line area (120), and as illustrated in the drawing, it is formed linearly in all four quarters.

In the present invention, the groove (130) takes the shape of a cross but it can take other shapes such as parallel or vertical lines, curved lines, or stars.

The depth of the etched groove (130) is 4 to 5  $\mu\text{m}$  from the substrate surface (200) of the scribing line area, which is maintained higher than the depth of the well in the chip area (110).

The semiconductor wafer according to the present invention is cut along the scribing line area (120) with a cutting device so that the chip area (110) is separated into each chip unit.

In the present invention, the stress caused in the scribing line area (120) during the sawing process is blocked by the groove (130), and thus, the chip cracks are prevented.

#### [Effect of the Invention]

According to the semiconductor wafer of the present invention described above, the groove is formed in the area where scribing line areas cross each other and thus, the stress occurred at the scribing line area during the sawing process is blocked and not transmitted to the chip area.

Therefore, the present invention is able to block the stress occurred during the sawing process, and in turn, preventing the chip cracks.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 21/76

(11) 공개번호 특2003-0001880  
(43) 공개일자 2003년01월08일

(21) 출원번호 10-2001-0037740  
(22) 출원일자 2001년06월28일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 양종열  
서울특별시송파구잠실동주공아파트370-304

(74) 대리인 강성배

심사청구 : 없음

(54) 반도체 웨이퍼

요약

본 발명은 쏘잉(sawing) 공정 진행 시에 칩영역에 발생하는 크랙(crack)을 방지할 수 있는 반도체 웨이퍼에 관해 개시한다.

개시된 본 발명의 반도체 웨이퍼는 다수의 칩영역과, 칩영역들 사이에 형성된 다수의 스크라이브라인영역과, 스크라이브라인영역들이 교차되는 부분에 형성되며, 크랙을 방지하기 위한 홈부를 포함한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 반도체 웨이퍼의 평면도.

도 2는 도 1의 I-II선을 따라 절단한 절단면을 보인 공정단면도.

도 3은 본 발명에 따른 반도체 웨이퍼의 평면도.

도 4는 도 3의 III-IV선을 따라 절단한 절단면을 보인 공정단면도.

## 도면의 주요부분에 대한 부호의 설명

110. 칩영역 112. 보호층

120. 스크라이브라인영역 130. 홈부

200. 기판

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 웨이퍼에 관한 것으로, 보다 상세하게는 쏘잉(sawing) 공정 진행 시에 칩영역에 발생하는 크랙(crack)을 방지할 수 있는 반도체 웨이퍼에 관한 것이다.

일반적으로 알려진 바와 같이, 반도체 장치가 고집적화됨에 따라, 반도체소자가 형성되는 칩영역 및 이들 칩영역 사이의 스크라이브라인영역의 선평이 점점 더 작아지고 있다.

따라서, 상기 스크라이브라인영역에 절단기구 등을 이용하여 쏘잉하여 칩영역을 분리시키는 공정을 진행할 경우, 패턴의 선평이 작아짐으로 해서 상기 쏘잉 공정이 어려워진다.

도 1은 종래기술에 따른 반도체 웨이퍼의 평면도이다.

종래기술에 따른 반도체 웨이퍼는, 도 1에 도시된 바와 같이, 반도체소자가 형성되는 다수의 칩영역(10)과, 칩영역(10)들 사이에 형성된 스크라이브라인(scribe line)영역(20)으로 구분되어져 있다. 상기 스크라이브라인영역(20)은 대략 100 $\mu$ m의 폭을 갖는다.

즉, 소자 제조 공정이 끝난 반도체 웨이퍼는 다수개의 패드(미도시)를 갖는 개개의 칩영역(10)으로 나뉘고, 상기 칩영역(10)은 웨이퍼 표면위에 같은 패턴이 완성되었을 때, 개별 반도체 소자 또는 IC가 된다. 그리고 상기 웨이퍼를 개개의 칩영역(10)으로 절단하기 위해 쏘잉하는 영역인 스크라이브라인영역(20)이 상기 칩영역(10) 둘레에 위치한다.

도 2는 도 1의 I - II선을 따라 절단한 절단면을 보인 공정단면도이다.

상기 구조를 가진 종래기술에 따른 반도체 웨이퍼를 도 2에 도시된 바와 같은 단면도를 이용하여 설명하면 다음과 같다.

종래 기술에 따른 반도체 웨이퍼(100)는 칩영역(10)을 덮어 상기 칩영역(10)을 보호하는 BPSG(Bron Phosphorus Silicate Glass)층(12)이 형성되어져 있고, 상기 칩영역(10)의 둘레에 스크라이브라인영역(20)이 위치한다.

상기 스크라이브라인영역(20)을 다이아몬드(diamond) 절단기 등의 절단기구를 이용하여 절단하면 칩영역(10)을 개별적인 칩단위로 분리한다.

### 발명이 이루고자 하는 기술적 과제

그러나, 종래의 반도체 웨이퍼는 스크라이브라인영역을 쏘잉하는 경우, 스크라이브라인영역들이 교차되는 부분에 쏘잉시의 스트레스가 발생되었다.

따라서, 상기 스트레스가 칩영역으로 전해져서 칩 크랙(chip crack)이 발생하는 문제점이 있었다.

이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 칩단위로 소잉 공정을 진행할 경우, 칩영역에 크랙이 발생하는 것을 방지할 수 있는 반도체 웨이퍼를 제공함에 그 목적이 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 웨이퍼는 반도체소자가 형성되는 다수의 칩영역과, 칩영역들 사이에 형성된 다수의 스크라이브라인영역과, 스크라이브라인영역들이 교차된 부분에 형성되며, 크랙을 방지하기 위한 홈부를 포함한 것을 특징으로 한다.

이때, 상기 홈부는 십자형상으로,  $200 \times 200\mu\text{m}$  (가로  $\times$  세로)크기를 가진다.

또한, 상기 홈부는 상기 스크라이브라인영역 표면으로부터  $4 \sim 5\mu\text{m}$ 깊이를 갖는다.

본 발명에서는 소잉 공정 진행 시에 스크라이브라인영역에 발생하는 스트레스가 상기 홈부에 의해 저지되므로, 칩크랙 발생을 방지할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 3은 본 발명에 따른 반도체 웨이퍼의 평면도이다.

본 발명에 따른 반도체 웨이퍼는, 도 3에 도시된 바와 같이, 반도체소자가 형성되는 다수의 칩영역(110)과, 칩영역(110)들 사이에 형성된 다수의 스크라이브라인영역(120)과, 스크라이브라인영역(120)들이 교차된 부분에 크랙을 방지하기 위한 홈부(130)로 구분되어진다.

소자 제조 공정이 끝난 반도체 웨이퍼는 다수개의 패드(미도시)를 갖는 개개의 칩영역(110)으로 나뉘고, 상기 칩영역(110)은 웨이퍼 표면위에 같은 패턴이 완성되었을 때, 개별 반도체 소자 또는 IC가 된다.

그리고 상기 웨이퍼를 개개의 칩영역(110)으로 절단하기 위해 소잉하는 영역인 스크라이브라인영역(120)이 상기 칩영역(110) 둘레에 위치한다.

또한, 상기 스크라이브라인영역(120)들이 교차된 부분에 크랙을 방지하기 위한 홈부(130)가 형성되어져 있다.

도 4는 도 3의 III-IV선을 따라 절단한 절단면을 보인 공정단면도이다.

상기 구조를 가진 본 발명에 따른 반도체 웨이퍼를 도 4에 도시된 바와 같은 단면도를 이용하여 설명하면 다음과 같다.

본 발명에 따른 반도체 웨이퍼(200)는 칩영역(110)을 덮어 상기 칩영역(110)을 보호하는 BPSG 재질의 절연층(112)이 형성되어져 있고, 상기 칩영역(110)의 둘레에 스크라이브라인영역(120)이 위치한다.

이때, 상기 스크라이브라인영역(120)은 대략  $100\mu\text{m}$ 의 폭을 갖는다.

또한, 상기 홈부(130)은, 도 3 및 도 4에 도시된 바와 같이, 십자형상으로, 가로 $\times$ 세로 크기가  $200 \times 200\mu\text{m}$  이상이 되도록 패터닝한다.

즉, 본 발명에서는 스크라이브라인영역(120)크기 보다 홈부가 훨씬 크게 형성되므로, 상기 홈부(130)가, 도면에 도시된 바와 같이, 스크라이브라인영역(120)들이 교차된 부분에서 사방으로 길게 배열되도록 형성된다.

본 발명에서는 상기 홈부(130)의 형상을 십자형을 예로 들어 설명하였지만, 십자형 외에도 수직 또는 수평한 직선형, 곡선형 또는 별모양 등 여러 형상을 적용할 수 있다.



그리고, 상기 홈부(130)는, 칩영역(110)의 웰깊이 이상을 유지해야 되므로, 스크라이브라인영역(120)의 기판(200) 표면으로부터 4~5 $\mu$ m 깊이로 식각된다.

상기 구조를 가진 본 발명에 따른 반도체 웨이퍼에서는 절단기구를 이용하여 스크라이브라인영역(120)을 절단하여 칩영역(110)을 개별적인 칩단위로 분리시킨다.

본 발명에서는 소잉 공정 진행 시에 스크라이브라인영역(120)에 발생하는 스트레스가 상기 홈부(130)에 의해 저지되므로, 칩크랙 발생을 방지할 수 있다.

#### 발명의 효과

이상에서와 같이, 본 발명의 반도체 웨이퍼는 스크라이브라인영역들이 교차되는 부분에 홈부를 형성함으로써, 소잉 공정 시 스크라이브라인영역에 발생하는 스트레스가 홈부에 의해 저지되므로, 스트레스가 칩영역으로 전해지지 않는다.

따라서, 본 발명은 소잉 시에 발생하는 스트레스를 차단가능함에 따라, 칩크랙 발생을 방지할 수 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

반도체소자가 형성되는 다수의 칩영역과,

상기 칩영역들 사이에 형성된 다수의 스크라이브라인영역과,

상기 스크라이브라인영역들이 교차되는 부분에 형성되며, 크랙을 방지하기 위한 홈부를 포함한 것을 특징으로 하는 반도체웨이퍼.

##### 청구항 2.

제 1항에 있어서, 상기 홈부는 십자형상인 것을 특징으로 하는 반도체 웨이퍼.

##### 청구항 3.

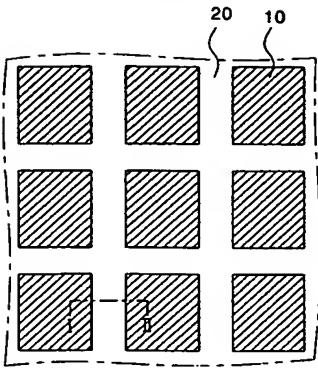
제 1항에 있어서, 상기 홈부는 200 × 200 $\mu$ m 크기인 것을 특징으로 하는 반도체 웨이퍼.

##### 청구항 4.

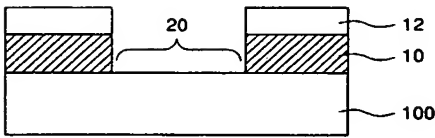
제 1항에 있어서, 상기 홈부는 상기 스크라이브라인영역 표면으로부터 4~5 $\mu$ m 깊이를 갖는 것을 특징으로 하는 반도체 웨이퍼.

도면

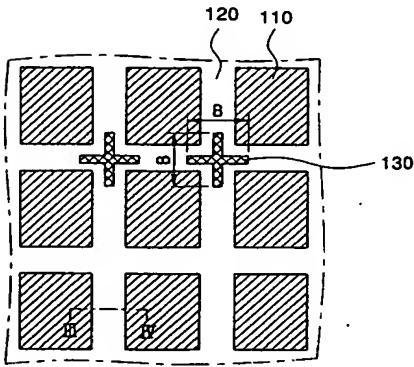
도면 1



도면 2



도면 3



도면 4

